

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-245246

(43)Date of publication of application : 31.10.1991

(51)Int.Cl.

G06F 13/00

G06F 11/20

G06F 13/36

(21)Application number : 02-043118

(71)Applicant : NEC CORP

(22)Date of filing : 23.02.1990

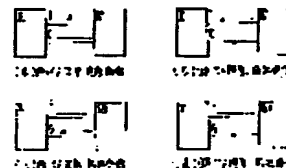
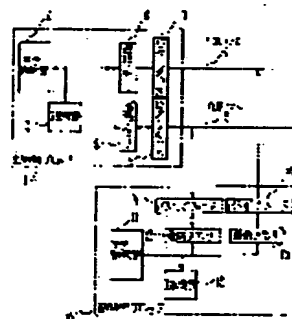
(72)Inventor : SASAKI HIROMASA

(54) DATA TRANSFER DEVICE

(57)Abstract:

PURPOSE: To improve the system performance by performing the transfer of data with the simultaneous control applied to both duplex buses and reducing temporarily the bus redundancy in order to attain the fast transfer of a large quantity of data.

CONSTITUTION: A CPU 11 contained in a secondary control block 10 reads the data to be transferred out of a main storage part 12 and transfers them to a communication memory 13. Then a bus interface 14 is controlled and the data are transferred to a communication memory 4 via a 0-system bus 8. The data received by the memory 4 are transferred and stored into a main storage part 3 under the control of a CPU 2. That is, a 1-system bus 9 is normal but not used as shown in a diagram (a). In a diagram (b) both buses 8 and 9 are simultaneously controlled so that the fast communication is attained. If the bus 8, for example, has a fault, the normal communication is secured by the nondefective bus 9 as shown in a diagram (c). Meanwhile the communication is carried out by the bus 9 only owing to the fault of the bus 8 as shown in a diagram (d) even if the fast communication is tried via the block 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-245246

⑫ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月31日

G 06 F 13/00
11/20
13/36

3 0 1 P
3 1 0 C
5 3 0 B

7629-5B
9072-5B
7052-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 データ転送装置

⑮ 特 願 平2-43118

⑯ 出 願 平2(1990)2月23日

⑰ 発 明 者 佐々木 寛政 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内原 晋

明 細 書

発明の名称

データ転送装置

特許請求の範囲

システムの全体を制御する主制御ブロックと前記システムの各部を制御する副制御ブロックとの間に設けられた第1及び第2のバスと、前記主制御ブロック又は前記副制御ブロックを制御する中央制御部と、前記第1のバスに対応する第1のバスインタフェースと、一方が前記第1のバスインタフェースに他の一方が前記中央制御部に接続され送受信データを一時的に蓄積する第1の蓄積手段と、前記第2のバスに対応する第2のバスインタフェースと、一方が前記第2のバスインタフェースに他の一方が前記中央制御部に接続され送受信データを一時的に蓄積する第2の蓄積手段と、前記中央制御部の制御により前記送受信データを蓄積する第3の蓄積手段とを前記主制御ブ

ロック及び前記副制御ブロックにそれぞれ備え、通常通信のときには前記第1又は第2のバスの片方を用い、高速通信のときには前記第1及び第2のバスが正常であることを確認し、前記第1及び第2のバスを同時に用いてデータ転送することを特徴とするデータ転送装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、二重化されたバスを介し接続されシステムを制御する主制御ブロックと副制御ブロックとの間で相互にデータを転送するデータ転送装置に関する。

(従来の技術)

従来、この種のデータ転送装置では、通常、常用及び予備用に二重化されたバスのうち常用のみを使用するように制御しており、予備用のバスは常用が障害になった場合に切替えて使用している。

(発明が解決しようとする課題)

上述したように従来のデータ転送装置では、二重化されたバスが、通常では片方のバスのみを使用しデータ転送しているため冗長であり、他方のバスを有効利用できないという欠点がある。

本発明の目的は、バスの冗長性を一時的に小さくし、多量のデータを高速で転送することが可能で、対障害性に関しても問題なくシステムの性能を向上できるデータ転送装置を提供することにある。

〔課題を解決するための手段〕

本発明のデータ転送装置は、システムの全体を制御する主制御ブロックと前記システムの各部を制御する副制御ブロックとの間に設けられた第1及び第2のバスと、前記主制御ブロック又は前記副制御ブロックを制御する中央制御部と、前記第1のバスに対応する第1のバスインタフェースと、一方が前記第1のバスインタフェースに他の一方が前記中央制御部に接続され送受信データを一時的に蓄積する第1の蓄積手段と、前記第2のバスに対応する第2のバスインタフェースと、一

方が前記第2のバスインタフェースに他の一方が前記中央制御部に接続され送受信データを一時的に蓄積する第2の蓄積手段と、前記中央制御部の制御により前記送受信データを蓄積する第3の蓄積手段とを前記主制御ブロック及び前記副制御ブロックにそれぞれ備え、通常通信のときには前記第1又は第2のバスの片方を用い、高速通信のときには前記第1及び第2のバスが正常であることを確認し、前記第1及び第2のバスを同時に用いてデータ転送するよう構成されている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

本発明の一実施例を示す第1図を参照すると、データ転送装置は、システム全体を制御する主制御ブロック1と、システム内の各部を制御する副制御ブロック10と、主制御ブロック1と副制御ブロック10との間の通信のための0系バス8及び1系バス9とを備える。主制御ブロック1は、主制御ブロック1全体を制御する中央制御部2

-3-

と、0系バス8に対応するバスインタフェース5と、一方がバスインタフェース5に他の一方が中央制御部2に接続され送受信データを一時的に蓄積する通信メモリ4と、1系バスに対応するバスインタフェース7と、一方がバスインタフェース7に他の一方が中央制御部2に接続され送受信データを一時的に蓄積する通信メモリ6と、中央制御部2の制御により送受信データを蓄積する主記憶部3とを備え、副制御ブロック10は、副制御ブロック10全体を制御する中央制御部11と、0系バス8に対応するバスインタフェース14と、一方がバスインタフェース14に他の一方が中央制御部11に接続され送受信データを一時的に蓄積する通信メモリ13と、1系バスに対応するバスインタフェース16と、一方がバスインタフェース16に他の一方が中央制御部11に接続され送受信データを一時的に蓄積する通信メモリ15と、中央制御部11の制御により送受信データを蓄積する主記憶部12とを備える。

なお、第1図は本発明の実現に必要な構成要素

-4-

のみを示したものである。主制御ブロック1内と副制御ブロック10内の構成は同様となっているが、それぞれについて必ずしも同一のものを示すのではなく同様な機能を有するものであればよい。

第2図は第1図における通常通信及び高速通信の制御方法を示す図である。以下に第1図及び第2図を用い、副制御ブロック10から主制御ブロック1へデータ転送する場合の動作を説明する。副制御ブロック10内の中央制御部11は被転送データを主記憶部12から読出し通信メモリ13へ転送する。その後、バスインタフェース14を制御して0系バス8を経由して主制御ブロック1へ転送する。そして、主制御ブロック1内では、バスインタフェース5を経由して通信メモリ4へデータが転送され、通信メモリ4上の受信データは中央制御部2の制御により主記憶部3へ転送蓄積される。第2図(a)にこの様子を示す。第2図(a)では1系バス9は正常であるが使用されていない状態が示されている。次に、高

〔発明の効果〕

本発明は以上説明したように、二重化されたバス
の両方を同時に制御してデータ転送することに
より、バスの冗長性を一時的に小さくし、多量の
データを高速で転送することが可能で、故障容性
に關しても問題なく、システムの性能を向上する
ことができる。

図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2
図は第1図における通常の通信及び高速通信の制御
方法を示す図である。

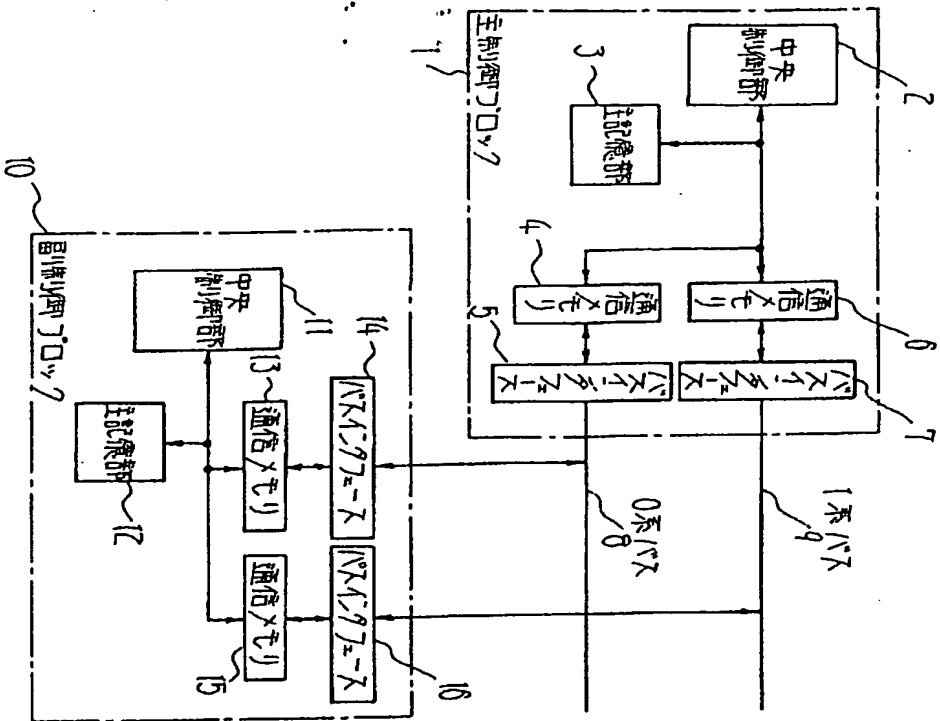
1 ……主制御プロセッサ、2, 11 ……中央制御
部、3, 12 ……主記憶部、4, 6, 13, 15
……通信メモリ、5, 7, 14, 16 ……バスイ
ンタフェース、8 ……0系バス、9 ……1系バ
ス、10 ……副制御プロセッサ。

代理人 井理士 内 原 啓

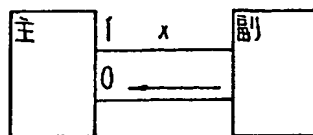
速通信を行うためには、0系バス8及び1系バス
9を両方同時に制御し、第2図(h)に示すよう
に両系のバスを使用しデータを同時に転送するこ
とにより高速通信が可能となる。1系バス9にお
けるデータ転送手順も前述の0系バス8の場合と
同様である。

片方のバスが障害時、例えば、0系障害時には
第2図(c)、(d)のようになる。第2図(c)
では、0系バス8が障害で通信できないため
1系バス9により通常通信を行っている。一方、
副制御プロセッサ10より高速通信を実行しようと
しても0系バス8が障害のため1系バス9のみで
通信を行うため第2図(d)のとおりになり、同
一時内に転送できるデータ量は第2図(c)と
同様となる。

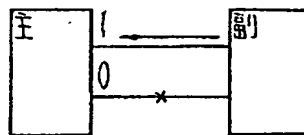
以上、二重化構成のバスを持つシステムの場合
を説明したが、三重化以上の構成のバスを有する
システムにおいても同様な制御方式が考えられ、
より一層、データ転送を高速化することが可能と
なる。



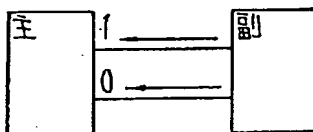
第1図



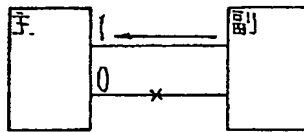
(a) 両バス正常、通常通信



(c) 0系バス障害、通常通信



(b) 両バス正常、高速通信



(d) 0系バス障害、高速通信

主：主制御ブロック、

副：副制御ブロック

←：データ転送方向、

—x—：バスアイドル

→x—：バス障害

第 2 図

SPECIFICATION

TITLE OF THE INVENTION

Data Transfer Apparatus

WHAT IS CLAIMED IS:

A data transfer apparatus comprising:

a primary control block for controlling an entire system; and

a secondary control block for controlling each component in said system;

wherein said primary control block and said secondary control block each include:

a first bus and a second bus each provided between said primary control block and said secondary control block;

a central control unit for controlling said primary control block or said secondary control block;

a first bus interface corresponding to said first bus;

first storage means for temporally storing transmission/reception data, one terminal of said first storage means being connected to said first bus interface, the other terminal of said first storage means being connected to said central control unit;

a second bus interface corresponding to said second bus;

second storage means for temporally storing transmission/reception data, one terminal of said second storage means being connected to said second bus interface, the other terminal of said second storage means being connected to said central control unit; and

third storage means for storing said transmission/reception data, said third storage means being controlled by said central control unit; and

wherein in an ordinary communication said data transfer apparatus uses either one of said first bus and said second bus, whereas in a high-speed communication said data transfer apparatus checks that said first bus and said second bus are normal and transfers data using said first bus and said second bus at the same time.

DETAILED DESCRIPTION OF THE INVENTION

[Utilization Field in Industry]

The present invention relates to a data transfer apparatus in which data is transferred between its primary control block and secondary control block which are connected to each other through dual busses and control the system.

[Prior Art]

Conventionally, a data transfer apparatus of this type has a dual bus configuration using a primary bus and a secondary bus. The apparatus is controlled so that the primary bus is normally used and when a fault has occurred in the primary bus, the secondary bus replaces the primary bus.

[Problems to be Solved by the Invention]

As described above, since the conventional data transfer apparatus employs a dual bus configuration in which only one bus is normally used to transfer data, the apparatus is disadvantageous in that the other bus cannot be effectively used and therefore is redundant.

The object of the present invention is to provide a data transfer apparatus capable of temporally reducing the redundancy of the bus so as to transfer a large amount of data at high speed as well as enhancing the performance of the system without causing any problems in its fault-tolerant function.

[Means for Solving the Problems]

A data transfer apparatus of the present invention comprises:

a primary control block for controlling an entire system; and

a secondary control block for controlling each

component in said system;

wherein said primary control block and said secondary control block each include:

a first bus and a second bus each provided between said primary control block and said secondary control block;

a central control unit for controlling said primary control block or said secondary control block;

a first bus interface corresponding to said first bus;

first storage means for temporally storing transmission/reception data, one terminal of said first storage means being connected to said first bus interface, the other terminal of said first storage means being connected to said central control unit;

a second bus interface corresponding to said second bus;

second storage means for temporally storing transmission/reception data, one terminal of said second storage means being connected to said second bus interface, the other terminal of said second storage means being connected to said central control unit; and

third storage means for storing said transmission/reception data, said third storage means being controlled by said central control unit; and

wherein in an ordinary communication said data transfer apparatus uses either one of said first bus and said second bus, whereas in a high-speed communication said data transfer apparatus checks that said first bus and said second bus are normal and transfers data using said first bus and said second bus at the same time.

[Embodiment]

An embodiment of the present invention will be described below with reference to the accompanying drawings.

In Fig. 1, which shows the embodiment of the present invention, a data transfer apparatus comprises: a primary control block 1 for controlling the entire system; a secondary control block 10 for controlling each component within the system; and a "0"-system bus 8 and a "1"-system bus 9 used for communications between the primary control block 1 and the secondary control block 10. The primary control block 1 includes: a central control unit 2 for controlling the entire primary control block 1; a bus interface 5 for the "0"-system bus 8; a communication memory 4 which temporally stores transmission/reception data and whose one terminal is connected to the bus interface 5 and the other terminal is connected to the central control unit 2; a bus interface 7 for the "1"-system bus; a communication memory 6 which temporally stores transmission/reception data and whose one terminal

is connected to the bus interface 7 and the other terminal is connected to the central control unit 2; and a main storage unit 3 controlled by the central control unit 2 to store transmission/reception data. The secondary control block 10, on the other hand, includes: a central control unit 11 for controlling the entire secondary control block 10; a bus interface 14 for the "0"-system bus 8; a communication memory 13 which temporally stores transmission/reception data and whose one terminal is connected to the bus interface 14 and the other terminal is connected to the central control unit 11; a bus interface 16 for the "1"-system bus; a communication memory 15 which temporally stores transmission/reception data and whose one terminal is connected to the bus interface 16 and the other terminal is connected to the central control unit 11; and a main storage unit 12 controlled by the central control unit 11 to store transmission/reception data.

It should be noted that Fig. 1 shows only components necessary to realize the present invention. In the figure, the components in the primary control block 1 are the same as the components in the secondary control block 10. However, those components need not necessarily be the same if they have the same functions.

Fig. 2 is a diagram showing control methods for ordinary communications and high-speed communications using

the data transfer apparatus shown in Fig. 1. With reference to Figs. 1 and 2, description will be made below of the operation in which data is transferred from the secondary control block 10 to the primary control block 1. The central control unit 11 in the secondary control block 10 transfers the transfer data from the main storage unit 12 to the communication memory 13. Then, the central control unit 11 controls the bus interface 14 so that the data is transferred to the primary control block 1 through the "0"-system bus 8. In the primary control block 1, the data is transferred to the communication memory 4 through the bus interface 5. The data in the communication memory 4 is transferred to and stored in the main storage unit 3 under control of the central control unit 2. Fig. 2 (a) shows the above operation. In Fig. 2 (a), the "1"-system bus 9 is normal but is not used. To carry out a high-speed communication, both the "0"-system bus 8 and the "1"-system bus 9 are simultaneously controlled to transfer data using both busses at the same time, as shown in Fig. 2 (b). The data transfer procedure for the "1"-system bus 9 is the same as that for the "0"-system bus 8 described above.

Fig. 2 (c) and Fig. 2 (d) show a case in which one of the busses fails (for example, the "0" system fails). In Fig. 2 (c), since the "0"-system bus 8 cannot be used for communications due to its fault, the "1"-system bus 9

is used instead to carry out an ordinary communication. In Fig. 2 (d), a high-speed communication is attempted from the secondary control block 10. However, since the "0"-system bus 8 is faulty and therefore only the "1"-system bus 9 can be used for communications, the amount of data which can be transferred during a given time period is the same as that attained in the case shown in Fig. 2 (c).

The above description was made of a system having a dual bus configuration. However, the present invention is not limited to the above specific configuration. The above control method can be applied to a triplex (or more) bus configuration, making it possible to transfer data at higher speed.

[Effects of the Invention]

As described above, the present invention simultaneously controls two busses constituting a dual bus to transfer data to temporally reduce the redundancy of the bus and transfer a large amount of data at high speed as well as enhancing the performance of the system without causing any problems in its fault-tolerant function.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a diagram showing the configuration of an embodiment of the present invention.

Fig. 2 is a diagram showing control methods for

ordinary communications and high-speed communications using the data transfer apparatus shown in Fig. 1.

- 1 ... primary control block
- 2, 11 ... central control unit
- 3, 12 ... main storage unit
- 4, 6, 13, 15 ... communication memory
- 5, 7, 14, 16 ... bus interface
- 8 ... "0"-system bus
- 9 ... "1"-system bus
- 10 ... secondary control block

Drawings

Figure 1:

- 1 ... PRIMARY CONTROL BLOCK
- 2, 11 ... CENTRAL CONTROL UNIT
- 3, 12 ... MAIN STORAGE UNIT
- 4, 6, 13, 15 ... COMMUNICATION MEMORY
- 5, 7, 14, 16 ... BUS INTERFACE
- 8 ... "0"-SYSTEM BUS
- 9 ... "1"-SYSTEM BUS
- 10 ... SECONDARY CONTROL BLOCK

Figure 2:

- 主 ... PRIMARY
- 副 ... SECONDARY
- (a) BOTH BUSSES ARE NORMAL: ORDINARY COMMUNICATION
- (b) BOTH BUSSES ARE NORMAL: HIGH-SPEED COMMUNICATION
- (c) "0"-SYSTEM BUS IS FAULTY: ORDINARY COMMUNICATION
- (d) "0"-SYSTEM BUS IS FAULTY: HIGH-SPEED

COMMUNICATION

- 主制御ブロック ... PRIMARY CONTROL BLOCK
- データ転送方向 ... DATA TRANSFER DIRECTION
- バス障害 ... BUS FAULT
- 副制御ブロック ... SECONDARY CONTROL BLOCK
- バスアイドル ... IDLE BUS